

⑫ 公開特許公報(A)

平2-19840

⑤ Int.Cl.⁶G 02 F 1/136
H 01 L 27/12

識別記号

5 0 0

庁内整理番号

7370-2H
7514-5F
8624-5F

A

⑬ 公開 平成2年(1990)1月23日

H 01 L 29/78 3 1 1 A※
審査請求 未請求 請求項の数 6 (全11頁)

⑭ 発明の名称 アクティブマトリクスパネル製造方法

⑮ 特 願 昭63-168853

⑯ 出 願 昭63(1988)7月8日

⑰ 発 明 者 筒 井 謙 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 塚 田 俊 久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 中村 純之助

最終頁に続く

明 細 書

1. 発明の名称

アクティブマトリクスパネル製造方法

2. 特許請求の範囲

1. アクティブマトリクス型の液晶パネルにおいて、基板上に順に堆積した透明導電膜と金属膜との二層膜を加工することによって、少なくとも画素電極と薄膜トランジスタのゲート電極とを同時にパタン形成し、上記薄膜トランジスタのソース及びドレイン電極を形成する加工時に同時に、上記画素電極上の金属膜を除去することを特徴とするアクティブマトリクスパネル製造方法。
2. アクティブマトリクス型の液晶パネルにおいて、基板上に順に堆積した透明導電膜と金属膜との二層膜を加工することによって、少なくとも画素電極と薄膜トランジスタのゲート電極とを同時にパタン形成し、上記薄膜トランジスタのソース及びドレイン電極を形成する加工時に

同時に、上記画素電極上の金属膜と、上記薄膜トランジスタのソース配線の下層側に堆積された不純物含有非晶質シリコン膜の不要部とを除去することを特徴とするアクティブマトリクスパネル製造方法。

3. アクティブマトリクス型の液晶パネルにおいて、基板上に順に堆積した透明導電膜と金属膜との二層膜を加工することによって、少なくとも画素電極と薄膜トランジスタのゲート電極とを同時にパタン形成し、上記薄膜トランジスタのソース及びドレイン電極を形成する加工時に同時に、上記画素電極上の金属膜と、上記薄膜トランジスタのソース配線の下層側に堆積された不純物含有非晶質シリコン膜の不要部と、さらに上記不純物含有非晶質シリコン膜の下層側でゲート絶縁膜の上層側に堆積された非晶質シリコン膜の不要部とを除去することを特徴とするアクティブマトリクスパネル製造方法。
4. 請求項1あるいは2あるいは3記載のパネル製造方法において、前記画素電極は、その中央

部が透明導電膜で形成されその周辺部が透明導電膜と金属膜との二層膜で形成されていることを特徴とするアクティブマトリクスパネル製造方法。

5. 請求項3あるいは4記載のパネル製造方法において、前記不純物含有非晶質シリコン膜と前記非晶質シリコン膜との間に、シリコンを主成分とし少なくとも酸素を含む化合物より成る保護膜を介在させたことを特徴とするアクティブマトリクスパネル製造方法。
6. 請求項1あるいは2あるいは3記載のパネル製造方法において、前記画素電極とゲート電極とを同時に形成する加工及び前記ソース・ドレイン電極を形成する加工が、ホトマスクを用いたホトリソグラフィによる加工であることを特徴とするアクティブマトリクスパネル製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリクス型の液晶表示パネルに係り、特に、非晶質シリコン薄膜トランジ

スタによるアクティブマトリクスパネルにおける製造時の歩留り向上と生産性向上を図ったものである。

〔従来の技術〕

従来のアクティブマトリクスパネルでは、特開昭60-189970号、特開昭63-9977号に記載のような薄膜トランジスタを用いている。

〔発明が解決しようとする課題〕

上記従来の技術は、アクティブマトリクスパネルを簡単な工程で生産性良く作るための配慮がなされていない。液晶ディスプレイ市場の拡大は、アクティブマトリクスパネル（以下単にパネルと略す）を安価に大量に生産できる技術によって成し得る。したがってパネル製造における歩留りの向上と、製造工程の短縮が重要課題となっている。前述の従来技術には記載されていないが、パネルには、薄膜トランジスタ部の他に、画素電極部、付加容量部、配線交叉部、端子部等の各機能部位を必要とする。これら各機能部位には、必要に応じて、下部導電膜、上部導電膜、絶縁膜、半導体、

不純物含有半導体、保護膜等が設けられる必要がある。そこで本発明の目的は、これら各機能部位すべてをより簡単に、より具体的には、少ないホトマスク数により作成可能とすることで工程の短縮化を図り、大量生産した場合の歩留りの向上と、生産性の向上を可能とするアクティブマトリクスパネル製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的は、一回の加工によって、より多くの機能部位の各部の加工を行うことにより、達成される。詳しくは、基板上に順に堆積した透明導電膜と金属膜との二層膜を一枚のホトマスクを用いる加工によって、少なくとも画素電極と薄膜トランジスタのゲート電極とを同時にパタン形成し、上記トランジスタのソース及びドレイン電極を形成するホトリソグラフィによる加工時に同時に、上記画素電極上の金属膜を除去するパネル製造方法とすることにより、あるいは、さらに、上記ソース及びドレイン電極加工時に同時に、上記画素

電極上の金属膜と、上記薄膜トランジスタのソース配線の下層側に堆積された不純物含有非晶質シリコン膜の不要部と、ゲート絶縁膜の上層側に堆積された非晶質シリコン膜の不要部とを除去する方法とすることにより、達成される。

〔作用〕

まず、画素電極と、薄膜トランジスタのゲート電極とを同時に加工するために、画素電極用の透明導電膜を基板上に堆積し、引き続き、ゲート電極用の金属膜を堆積し、画素電極及び走査線、ゲート電極を同時に形成する。上記二層膜を一枚のホトマスクを用いるパタン加工とすれば、これによってホトマスクを一枚減らすことができる。

反面、画素電極上に金属膜が残り、不透明となる。ここで直ちに金属膜を除いて透明な画素電極を形成すると、後の工程で画素電極の耐性が不十分となり消失する問題も生じる。そこで、透明導電膜上の金属膜を残したままにしておけば、この金属膜が、後工程における透明導電膜の保護の役目をする。そして、画素電極上の金属膜は、パネ

ル作成工程の終りに近い段階で、薄膜トランジスタのソース及びドレイン電極をホトマスクによって加工する時に同時に除去することで、工程増とはならないで、除去される。また、この時に、薄膜トランジスタ形成用にゲート絶縁膜上に堆積された不純物含有非晶質シリコン膜や非晶質シリコン膜の不要部の除去も同時に行うことにより、実質的なセルフライン（自己整合）が行われ、ホトマスク数の低減及び工程短縮が達成される。これにより、パネル量産時の歩留りの向上が実現する。

〔実施例〕

以下、本発明の実施例を説明する。

実施例 1

第1図(a)、(b)、(c)、(d)は本発明の第1の実施例のプロセスフローを示す断面図、第2図(a)は完成した平面図、第2図(b)はその部分拡大図である。パネルには薄膜トランジスタ部Aと、画素電極部Bと、付加容量部Cと、配線交叉部Dと、端子部Eとがある。これら各機能部

膜2が形成される。次に第1図(c)に示すように、三枚目のホトマスクを用いて半導体104を加工し、薄膜トランジスタ部Aでは、チャネル長方向にはゲート電極11の幅より広く、チャネル幅方向にはゲート電極11より短かく残し、また配線交叉部Dにも残す。さらに、四枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、走査線10の一部、端子部E及び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に第1図(d)に示すように、不純物含有半導体106膜、例えばPを1%含むa-Si膜、をCVD法によって厚さ50nm堆積し、引き続き上部導電膜(I)107、例えばCr膜、をスパッタ法によって厚さ100nm堆積し、さらに上部導電膜(II)108、例えばAg膜、をスパッタ法により厚さ500nm堆積し、その後、五枚目のホトマスクを用いるホトエッチングによってこれらの三層膜、すなわち、Ag膜とCr膜とPを含むa-Si膜より成る三層膜、を加工する。この加工においては、薄膜トランジスタ部Aではドレイン51、ソース52に三層を

を順次形成してゆく。まず、第1図(a)に示すように、ガラス基板100上に、透明導電膜101として例えばITO（酸化インジウム錫）膜を厚さ80nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ100nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11（第2図）、画素電極12、走査線10、付加容量下部電極13を形成する。次に第1図(b)に示すように、CVD法（化学的気相析出法）によって、絶縁膜103例えばSiN膜を厚さ300nm、引き続き半導体104例えば非晶質シリコン（以下a-Siと略す）膜を厚さ50nm、さらに引き続いて保護膜105例えばSiN膜を厚さ200nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いるホトエッチングによって加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第2図における保護

残し、画素電極部Bでは、ソース52のコンタクト部以外の領域から三層を除去後さらに引き続き下部導電膜102をも除去し、付加容量部Cでは、付加容量上部電極53を残し、走査線10上のコンタクトホール4を覆い、電気的に接続するように残す。また、信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現われるように加工し、第1図(d)及び第2図に示すパネルを得る。この後、パッシベーション膜、配向膜等を必要に応じて形成することになるが、この後のディスプレイパネルの製法については、本発明の主旨に関わるものではないことから、省略する。本実施例で用いたホトマスク数は五枚である。

実施例 2

本発明の第2の実施例を第3図、第4図により説明する。まず、第3図(a)に示すように、ガラス基板100上に、透明導電膜101として例えばITO膜を厚さ80nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ100nm堆積し、これ

らの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第4図)、画素電極12、走査線10、付加容量下部電極13を形成する。次に第3図(b)に示すように、CVD法によって、絶縁膜103例えばSiN膜を厚さ250nm、引き続き半導体104例えばa-Si膜を厚さ30nm、さらに引き続いて保護膜105例えばSiN膜を厚さ250nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いるホトエッチングによって加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第4図における保護膜2が形成される。次に第3図(c)に示すように、三枚目のホトマスクを用いて半導体104を加工し、半導体104を、薄膜トランジスタ部Aでは、チャネル長方向にはゲート電極11の幅より広く、チャネル幅方向にはゲート電極11より短く残し、また配線交叉部Dにも残す。さらに、

第3図(d)及び第4図に示すパネルを得る。本実施例で用いたホトマスク数は五枚である。

実施例 3

本発明の第3の実施例を、先の第1図、第2図を再び用いて、説明する。まず、第1図(a)に示すように、ガラス基板100上に、透明導電膜101、例えばITO膜、を厚さ70nm堆積し、その上下部導電膜102、例えばCr膜、を厚さ120nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第2図)、画素電極12、走査線10、付加容量下部電極13を形成する。次に第1図(b)に示すように、CVD法によって、絶縁膜103例えばSiN膜を厚さ280nm、引き続き半導体104膜例えばa-Si膜を厚さ40nm、さらに引き続いて保護膜105例えばSiN膜を厚さ300nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いるホトエッチングによって加工する。この加工において、保護膜105は、薄膜トランジスタ部

四枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、端子部E及び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に第3図(d)に示すように、不純物含有半導体106膜、例えばPを0.8%含むa-Si膜、をCVD法によって厚さ40nm堆積し、引き続き上部導電膜(I)107、例えばCr膜、をスパッタ法によって厚さ80nm堆積し、さらに上部導電膜(II)108、例えばAg膜、をスパッタ法により厚さ400nm堆積し、その後、五枚目のホトマスクを用いるホトエッチングによってこれらの三層膜を加工する。この加工においては、薄膜トランジスタ部Aではドレイン51、ソース52に三層膜を残し、画素電極部Bでは、ソース52のコンタクト部と付加容量上部電極53のコンタクト部以外の領域から三層膜を除去後さらに引き続き下部導電膜102をも除去し、また付加容量部Cでは付加容量上部電極53を残し、信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現れるように加工し、

Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第2図における保護膜2が形成される。さらに、三枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、走査線10の一部、端子部E及び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に第1図(c)に示すように、四枚目のホトマスクを用いて半導体104を加工し、この加工により半導体104を、薄膜トランジスタ部Aでは、チャネル長方向にはゲート電極11の幅より広く、チャネル幅方向にはゲート電極11より短く残し、また配線交叉部Dにも残す。次に第1図(d)に示すように、不純物含有半導体106膜、例えばPを0.6%含むa-Si膜、をCVD法によって厚さ50nm堆積し、引き続き上部導電膜(I)107、例えばCr膜、をスパッタ法により厚さ70nm堆積し、さらに上部導電膜(II)108、例えばAg膜、をスパッタ法により350nm堆積し、その後、五枚目のホトマスクを用いてこれらの三層膜をホトエッチング加工する。この加工において、薄膜トラ

ンジスタ部Aでは、ドレイン51、ソース52に三層を残し、画素電極部Bでは、ソース52のコンタクト部以外の領域から三層を除去し、さらに引き続き下部導電膜102をも除去し、付加容量部Cでは、付加容量上部電極53を残し、走査線10上のコンタクトホール4を覆い電氣的に接続するよう残す。また、信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現れるように加工し、第1図(d)及び第2図に示すパネルを得る。この後、パッシベーション膜、配向膜等を必要に応じて形成することになる。本実施例で用いたホトマスク数は五枚である。

実施例 4

本発明の第4の実施例を第5図、第6図により説明する。まず、第5図(a)に示すように、ガラス基板100上に、透明導電膜101、例えばITO膜、を厚さ100nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ60nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホ

び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に第5図(d)に示すように、不純物含有半導体106膜、例えばPを1%含むa-Si膜、をCVD法によって厚さ50nm堆積してから五枚目のホトマスクを用いて不純物含有半導体106膜をエッチング加工する。この加工では、不純物含有半導体106膜が、薄膜トランジスタ部Aのソース及びドレイン電極パターンより小さくなるようにし、しかも、a-Siの半導体膜104の段差部及び保護膜105の一部を覆うようにする。次に、上部導電膜(I)107、例えばCr膜、をスパッタ法によって厚さ60nm堆積し、さらに上部導電膜(II)108、例えばAl膜、をスパッタ法によって厚さ500nm堆積した後、これらの二層膜を六枚目のホトマスクを用いてエッチング加工する。この加工において、薄膜トランジスタ部Aでは、ドレイン51、ソース52に二層を残し、画素電極部Bでは、ソース52及び付加容量部Cのコンタクト以外の領域から二層を除き、さらに引き続き下部導電膜102をも除去し、また付加容量部Cでは、

トエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第6図)、画素電極12、走査線10、付加容量下部電極13を形成する。次に第5図(b)に示すように、CVD法によって、絶縁膜103例えばSiN膜を厚さ350nm、引き続き半導体104膜例えばa-Si膜を厚さ60nm、さらに引き続いて保護膜105例えばSiN膜を厚さ300nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いてエッチング加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第6図における保護膜2が形成される。次に第5図(c)に示すように、三枚目のホトマスクを用いて半導体104を加工し、薄膜トランジスタ部Aでは、チャネル長方向にはゲート電極11の幅より広く、チャネル幅方向にはゲート電極11より短く残し、また配線交叉部Dにも残す。さらに、四枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、端子部E及

付加容量上部電極53を残し、また信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現れるように加工し、第5図(d)及び第6図に示すパネルを得る。本実施例で用いたホトマスク数は六枚である。

実施例 5

本発明の第5の実施例を第7図、第8図により説明する。まず、第7図(a)に示すように、ガラス基板100上に、透明導電膜101、例えばITO膜、を厚さ60nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ80nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第8図)、画素電極12、走査線10、付加容量下部電極13を形成する。次に第7図(b)に示すように、CVD法によって、絶縁膜103、例えばSiN膜、を厚さ250nm、引き続き半導体104膜、例えばa-Si膜、を厚さ20nm、さらに引き続き

て保護膜105、例えばSiN膜、を厚さ20nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いてエッチング加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第8図における保護膜2が形成される。次に第7図(c)に示すように、三枚目のホトマスクを用いて半導体104膜及び絶縁膜103を加工する。この加工では、半導体104膜と絶縁膜103を、端子部E及び画素電極部Bより若干狭い領域から除去する。次に、第7図(d)に示すように、不純物含有半導体106膜、例えばPを1%含むa-Si膜、をCVD法によって厚さ50nm堆積し、さらに上部導電膜(II)108、例えばAl膜、をスパッタ法により厚さ300nm堆積し、その後、これらの二層膜を四枚目のホトマスクを用いてエッチング加工する。この加工においては、薄膜トランジスタ部Aではドレイン51、ソース52を残し、画素電極部Bでは、ソース52及び付加容量部Cのコンタクト部以外の

幅より狭くすることも可能である。

実施例 6

本発明の第6の実施例を、先に示した第3図、第4図を用いて説明する。まず、第3図(a)に示すように、ガラス基板100上に、透明導電膜101、例えばITO膜、を厚さ80nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ100nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第4図)、画素電極12、付加容量下部電極13を形成する。次に第3図(b)に示すように、CVD法によって、絶縁膜103、例えばSiN膜、を厚さ300nm、引き続き半導体104膜、例えばa-Si膜を厚さ200nm堆積し、さらに引き続き、保護膜105を堆積する。保護膜105としては、例えば(1)SiH₄とNH₃とO₂とを主成分とするCVD法によってSi_xO_yN_z(X, Y, Zの値はCVD条件によって変化する)を堆積する、(2)Si_xN_y(X, Yの値はCVD

領域の二層を除去し、付加容量部Cでは、付加容量上部電極53を残し、また、信号線50は残し、配線交叉部Dでは、二層配線を形成する。上部導電膜(II)108と不純物含有半導体106膜との二層膜の加工が終わった後、引き続き半導体104膜を加工し、さらに画素電極部B及び端子部E上の下部導電膜102を除去することによって、第7図(d)及び第8図に示すパネルを得る。本実施例で用いるホトマスク数は四枚である。

以上説明した第1～第5の実施例では、下部導電膜102にCr膜を、上部導電膜(I)107(ただし、第5の実施例では上部導電膜(I)107を形成しない)にCr膜を、また上部導電膜(II)108にAl膜を用いるとして説明したが、これら材料は本発明を特に限定するものではない。また、上部導電膜(I)107の有無、付加容量の接続方法、すなわち付加容量上部電極53を、画素電極12と接続するか、走査線10と接続するか等も本発明を制限するものではなく、自由に選択することができる。また半導体104膜のパターンはゲート電極11の

条件によって変化する)を堆積し、その上にさらにSiH₄とO₂を主成分としてSi_xO_yを堆積し、二層膜とする、(3)CVD法によってSi_xO_yを堆積する、(4)Si_xN_y膜を堆積後、減圧酸素雰囲気中で放電処理する、等のいずれかを用いて形成する。堆積した保護膜105を、二枚目のホトマスクを用いてエッチング加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第4図における保護膜2が形成される。次に第3図(c)に示すように、三枚目のホトマスクを用いて半導体104を加工し、薄膜トランジスタ部Aでは、チャネル長方向にはゲート電極11の幅より広く、チャネル幅方向にはゲート電極11より短く残し、また配線交叉部Dにも残す。さらに、四枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、端子部E及び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に第3図(d)に示すように、不純物含有半導体

106膜、例えばPを1%含むa-Si膜、をCVD法によって厚さ50nm堆積し、引き続き上部導電膜(I)107、例えばCr膜、をスパッタ法によって厚さ100nm堆積し、さらに上部導電膜(II)108、例えばAu膜、をスパッタ法により厚さ500nm堆積し、その後、これらの三層膜を五枚目のホトマスクを用いてエッチング加工する。この加工においては、薄膜トランジスタ部Aではドレイン51、ソース52に三層を残し、画素電極部Bでは、ソース52のコンタクト部以外の領域から三層を除去後さらに引き続き下部導電膜102をも除去し、付加容量部Cでは、付加容量上部電極53を残す。また、信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現れるように加工する。ここで、不純物含有半導体106を例えばフロン系ガスで加工する際に、先に説明した実施例では保護膜105が少なからず減少するが、本実施例での保護膜105には、Siと酸素との化合物が含まれていて、フロン系ガスに対する耐性が充分にあ

さ350nm堆積し、その後、この保護膜105を、二枚目のホトマスクを用いてエッチング加工する。この加工において、保護膜105は、薄膜トランジスタ部Aのゲート電極11の幅より狭くして残し、また配線交叉部Dにも残す。この工程によって、第10図における保護膜2が形成される。次に第9図(c)に示すように、三枚目のホトマスクを用いて絶縁膜103を加工する。この加工では、端子部E及び画素電極部Bより若干狭い領域から絶縁膜103を除去する。次に、不純物含有半導体106膜、例えばPを1%含むa-Si膜、をCVD法によって厚さ50nm堆積し、その後、四枚目のホトマスクを用いて、不純物含有半導体106膜を、ソース、ドレイン電極より小さく、保護膜105の中央部を除くように加工し、さらに引き続いて半導体104膜を加工する。次に第9図(d)に示すように、上部導電膜(I)107、例えばCr膜、をスパッタ法により厚さ50nm堆積し、さらに上部導電膜(II)108、例えばAu膜、をスパッタ法により厚さ500nm堆積し、その後、これらの二層膜を

ることから、保護膜105をほとんど減少させることなく不純物含有半導体106を加工することができる。このようにして、第3図(d)及び第4図に示したアクティブマトリクスパネルを得る。本実施例で用いたホトマスク数は五枚である。

実施例 7

本発明の第7の実施例を第9図、第10図により説明する。まず、第9図(a)に示すように、ガラス基板100上に、透明導電膜101、例えばITO膜、を厚さ80nm堆積し、その上に下部導電膜102、例えばCr膜、を厚さ100nm堆積し、これらの二層膜を一枚のホトマスクを用いて、通常のホトエッチングプロセスによって加工する。この加工により、薄膜トランジスタ部Aにおけるゲート電極11(第10図)、画素電極12、走査線10、付加容量下部電極13を形成する。次に第9図(b)に示すように、CVD法によって、絶縁膜103、例えばSiN膜、を厚さ300nm、引き続き半導体104膜、例えばa-Si膜、を厚さ50nm、さらに引き続いて保護膜105、例えばSi_xO_yN_z膜、を厚

五枚目のホトマスクを用いてエッチング加工する。この加工においては、薄膜トランジスタ部Aではドレイン51、ソース52に二層を残し、画素電極部では、ソース52のコンタクト部以外の領域から二層を除去後さらに引き続き下部導電膜102をも除去し、付加容量部Cでは付加容量上部電極53を残し、また、信号線50は残し、配線交叉部Dでは、二層配線を形成する。さらに端子部Eでは、外部接続部分に透明導電膜101が現れるように加工する。これにより、第9図(d)及び第10図に示すパネルを得る。本実施例で用いたホトマスク数は五枚である。

以上説明した各実施例によれば、ホトマスクの枚数が低減されることからパネル加工の簡易化が達成されると共に、画素電極用の透明導電膜上に形成されたゲート電極用金属膜が、ソース及びドレイン電極加工の最終工程時に同時に除去される方法であることから、この金属膜が途中工程における透明導電膜の保護の役目をするという利点があり、また画素電極の周辺に不透明部分が残され

ることから、画素周辺での液晶の不安定部分が遮光され、画像信号に見合った透過率が画素内で一様に達成されるという効果もある。さらに、第6及び第7の実施例によれば、チャンネル部の上部の一部分において、ゲート絶縁膜103上に堆積される、a-Siから成る半導体膜104と、この半導体膜104とソース及びドレイン電極とのコンタクトをとるために堆積される不純物含有半導体膜106との層間に、Siと酸素との化合物を含む保護膜105を形成する方式であることから、不純物含有半導体膜加工時にフロン系ガスに対する耐性が高いものとしてすることができる利点がある。

〔発明の効果〕

以上説明したように、本発明によれば、四枚から六枚と少ないホトマスク使用枚数によって、薄膜トランジスタ部、画素電極部、付加容量部、配線交叉部、端子部等、液晶ディスプレイパネルに必要な各機能部を形成できる。すなわち、まず透明導電膜と金属膜との二層膜構造とし、これを一枚のホトマスクによる加工で、ゲート電極、画素

電極、走査線及び付加容量下部電極を同時にパターン形成することによって使用マスク数を減らすことができる。さらに、上部のソース及びドレイン電極加工時に同時に、不純物含有半導体と半導体、及び画素電極の透明導電膜上の金属膜を除去することにより、ここでも使用マスク数を減らすことができると共に、透明導電膜上の金属膜が中間工程時の保護の役目をするという優れた効果をも生じる。このように、一枚のホトマスクにより複数の機能部を形成すること、及び自己整合加工法を用いることにより、工程の短縮、単純化が成され、大量生産ラインにおける歩留りの向上と生産性の向上が達成される。

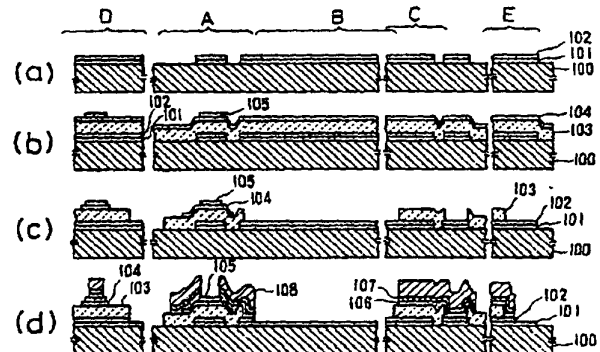
4. 図面の簡単な説明

第1図(a),(b),(c),(d)は本発明の一実施例のプロセスフローを示す断面図、第2図(a)は第1図(d)における平面図、(b)はその部分拡大図、第3図(a),(b),(c),(d)、第5図(a),(b),(c),(d)、第7図(a),(b),(c),(d)、第9図(a),(b),(c),

(d)はそれぞれ本発明の他の実施例のプロセスフローを示す断面図、第4図、第6図、第8図、第10図はそれぞれ第3図(d)、第5図(d)、第7図(d)、第9図(d)における平面図である。

符号の説明

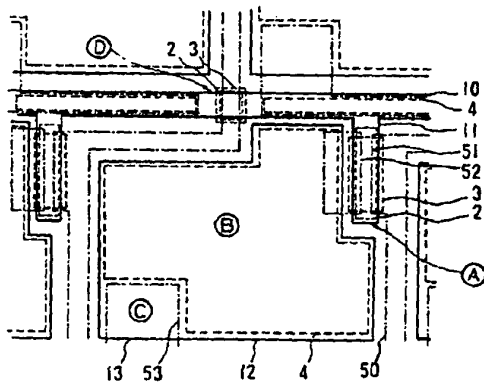
2…保護膜	3…非晶質半導体
4…コンタクトホール	10…走査線
11…ゲート電極	12…画素電極
13…付加容量下部電極	50…信号線
51…ドレイン	52…ソース
53…付加容量上部電極	100…基板
101…透明導電膜	102…下部導電膜
103…絶縁膜	104…半導体
105…保護膜	106…不純物含有半導体
107…上部導電膜(I)	108…上部導電膜(II)



100…基板
101…透明導電膜
102…下部導電膜
103…絶縁膜
104…半導体
105…保護膜
106…不純物含有半導体
107…上部導電膜(I)
108…上部導電膜(II)
A…薄膜トランジスタ部
B…画素電極部
C…付加容量部
D…配線交叉部
E…端子部

代理人 井理士 中村 純之助

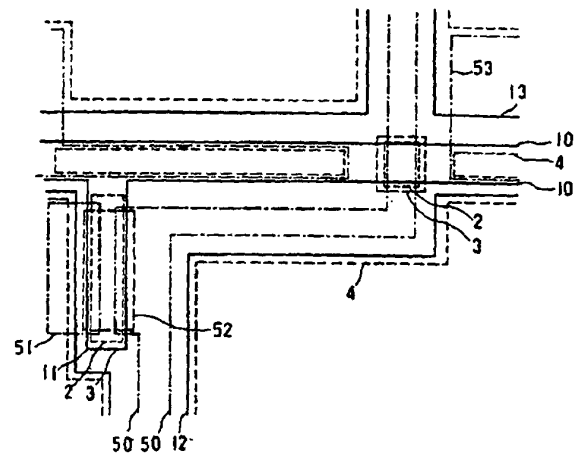
第1図



- | | |
|---------------|---------------|
| 2---保護膜 | 50---信号線 |
| 3---非晶質半導体 | 51---ドレイン |
| 4---コンタクトホール | 52---ソース |
| 10---走査線 | 53---付加容量上部電極 |
| 11---ゲート電極 | A---薄膜トランジスタ部 |
| 12---画素電極 | B---画素電極部 |
| 13---付加容量下部電極 | C---付加容量部 |
| | D---配線交差部 |

(a)

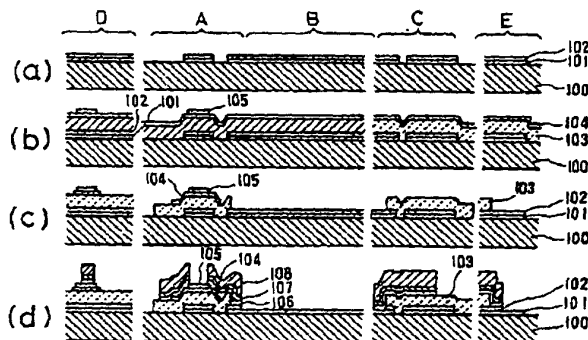
第 2 図



- | | |
|--------------|---------------|
| 2---保護膜 | 13---付加容量下部電極 |
| 3---非晶質半導体 | 50---信号線 |
| 4---コンタクトホール | 51---ドレイン |
| 10---走査線 | 52---ソース |
| 11---ゲート電極 | 53---付加容量上部電極 |
| 12---画素電極 | |

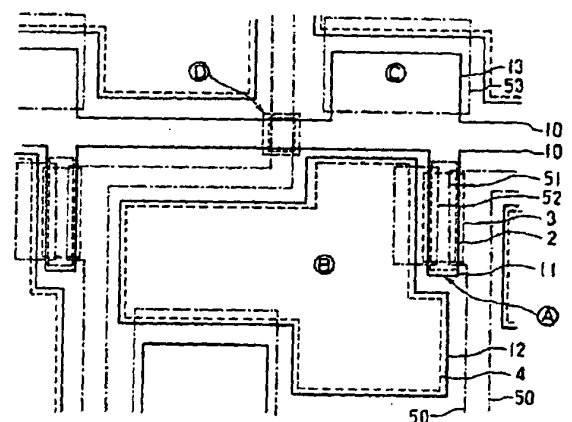
(b)

第 2 図



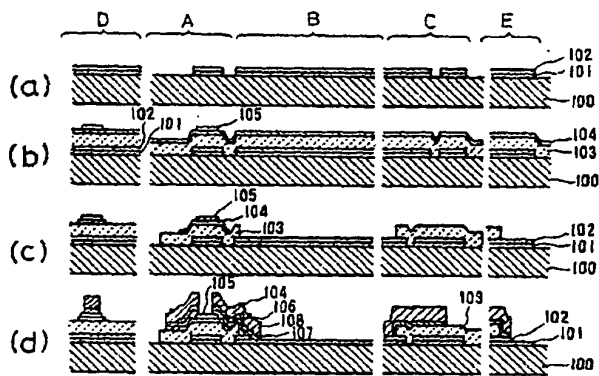
- | | |
|----------------|-----------------|
| 100---基板 | 107---上部導電膜(I) |
| 101---透明導電膜 | 108---上部導電膜(II) |
| 102---下部導電膜 | A---薄膜トランジスタ部 |
| 103---絶縁膜 | B---画素電極部 |
| 104---半導体 | C---付加容量部 |
| 105---保護膜 | D---配線交差部 |
| 106---不純物含有半導体 | E---端子部 |

第 3 図



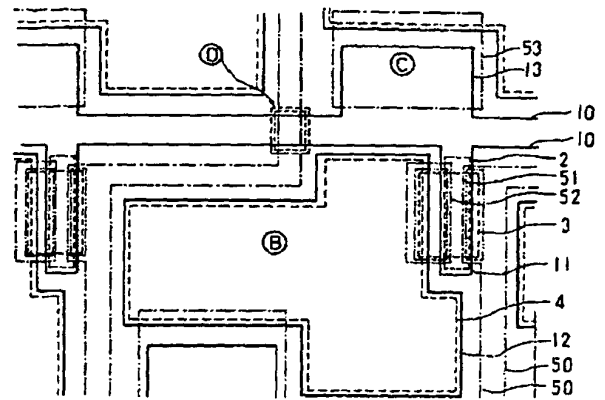
- | | |
|---------------|---------------|
| 2---保護膜 | 50---信号線 |
| 3---非晶質半導体 | 51---ドレイン |
| 4---コンタクトホール | 52---ソース |
| 10---走査線 | 53---付加容量上部電極 |
| 11---ゲート電極 | A---薄膜トランジスタ部 |
| 12---画素電極 | B---画素電極部 |
| 13---付加容量下部電極 | C---付加容量部 |
| | D---配線交差部 |

第 4 図



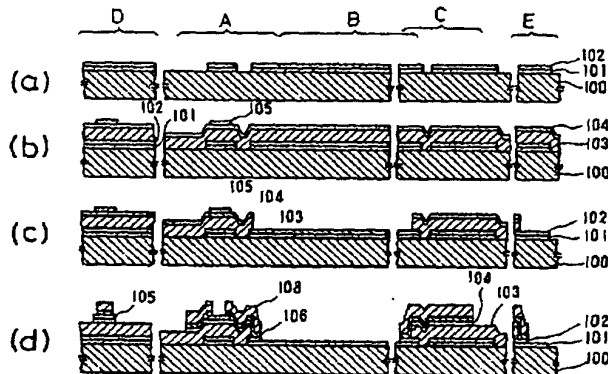
- 100---基板
101---透明導電膜
102---下部導電膜
103---絶縁膜
104---半導体
105---保護膜
106---不純物含有半導体
107---上部導電膜(I)
108---上部導電膜(II)
A---薄膜トランジスタ部
B---画素電極部
C---付加容量部
D---配線交差部
E---端子部

第 5 図



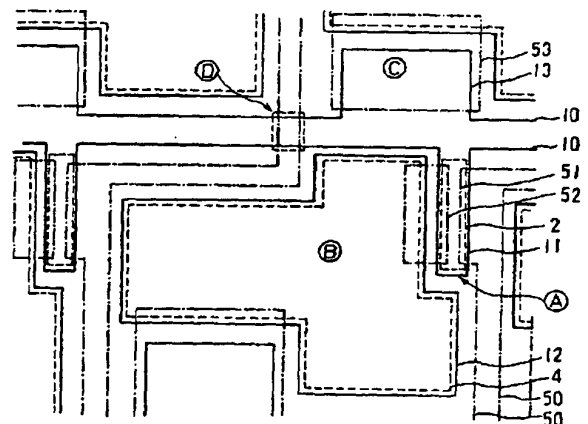
- 2---保護膜
3---非晶質半導体
4---コンタクトホール
10---走査線
11---ゲート電極
12---画素電極
13---付加容量下部電極
50---信号線
51---ドレイン
52---ソース
53---付加容量上部電極
A---薄膜トランジスタ部
B---画素電極部
C---付加容量部
D---配線交差部

第 6 図



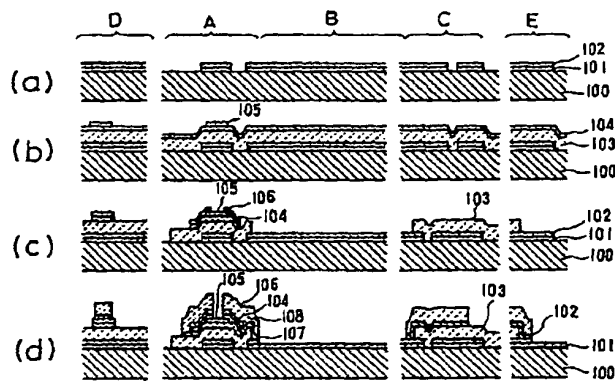
- 100---基板
101---透明導電膜
102---下部導電膜
103---絶縁膜
104---半導体
105---保護膜
106---不純物含有半導体
107---上部導電膜(I)
108---上部導電膜(II)
A---薄膜トランジスタ部
B---画素電極部
C---付加容量部
D---配線交差部
E---端子部

第 7 図



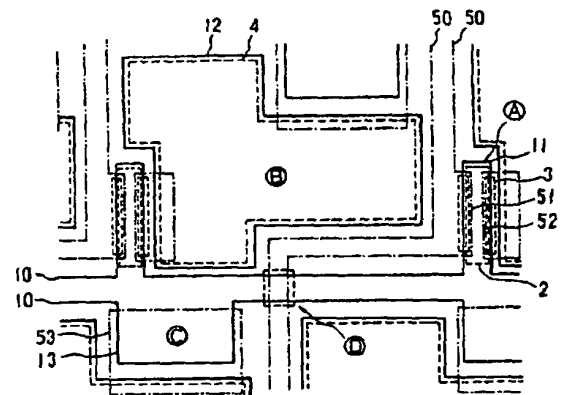
- 2---保護膜
3---非晶質半導体
4---コンタクトホール
10---走査線
11---ゲート電極
12---画素電極
13---付加容量下部電極
50---信号線
51---ドレイン
52---ソース
53---付加容量上部電極
A---薄膜トランジスタ部
B---画素電極部
C---付加容量部
D---配線交差部

第 8 図



- 100...基板
101...透明導電膜
102...下部導電膜
103...絶縁膜
104...半導体
105...保護膜
106...不純物含有半導体
107...上部導電膜(I)
108...上部導電膜(II)
A...薄膜トランジスタ部
B...画素電極部
C...付加容量部
D...配線交差部
E...隔壁部

第 9 図



- 2...保護膜
3...非晶質半導体
4...コンタクトホール
10...走査線
11...ゲート電極
12...画素電極
13...付加容量下部電極
50...信号線
51...ドレイン
52...ソース
53...付加容量上部電極
A...薄膜トランジスタ部
B...画素電極部
C...付加容量部
D...配線交差部

第 10 図

第 1 頁の続き

©Int. Cl.⁵

H 01 L 29/784

識別記号

庁内整理番号

②発明者 田 中 靖 夫 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内
②発明者 松 丸 治 男 東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中央研究所内